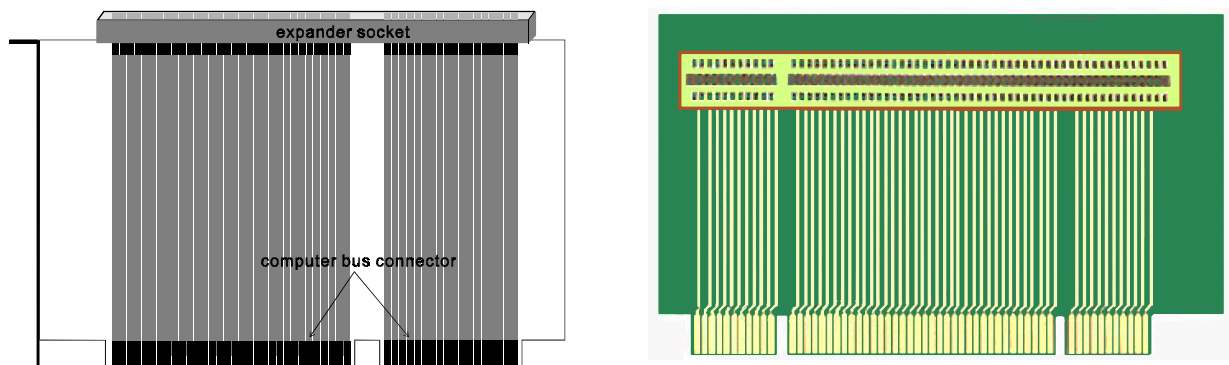


Poniżej zamieszczone są rysunki przedstawiane na wykładach z przedmiotu Peryferia Komputerowe.

## EKSPANDERY I ADAPTERY MAGISTRALI KOMPUTEROWEJ

EKSPANDER MAGISTRALI (Bus Expander, Bus Extender)

Ekspander zajmuje jedno złącze magistrali i zwykle umożliwia podłączenie wielu urządzeń Wejścia/Wyjścia (I/O).



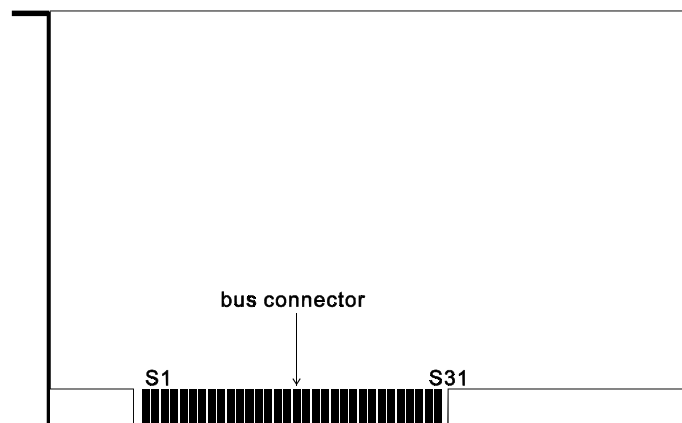
Przykłady pasywnego ekspandera magistrali – „przedłużacz” stosowany często przy uruchamianiu, testowaniu lub naprawie kart komputerowych.

ADAPTER MAGISTRALI (Bus Adapter) jest to urządzenie, które służy do wymiany danych pomiędzy komputerem a peryferiami, które nie są wyposażone w odpowiednie interfejsy do sprzężenia ich wprost z magistralą komputera.

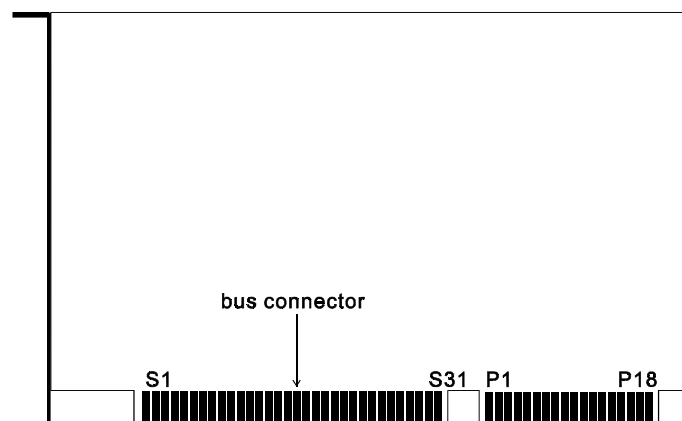
Na Pracowni Informatyki Medycznej Instytutu (PIM) Fizyki UŁ komputery są wyposażone w specjalne adaptory umożliwiające bezpieczne eksperymentowanie z urządzeniami I/O. Są to adaptory przystosowane do podłączenia do magistrali ISA.

### Adapter PIM

Podstawowym elementem adaptera jest 8-mio bitowa karta komputerowa ze złączem 62 stykowym (ISA XT).



Karta ISA 8-mio bitowa.

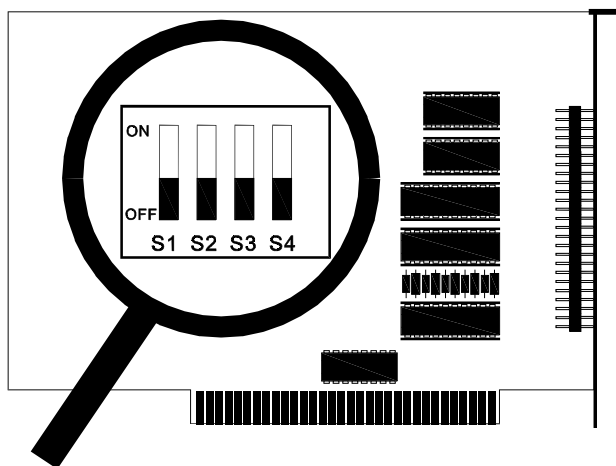


Karta ISA 16-to bitowa.

Karta adaptera PIM zawiera odpowiedni interfejs oraz inne urządzenia.

## Adresy Adaptera PIM

Adapter PIM jest 8-bitową kartą komputerową z interfejsem do magistrali ISA. Adapter zawiera odpowiedni interfejs wyposażony w dekodery adresowe. Adapter wymaga przydzielenia mu 8-bitów adresów w przestrzeni adresowej dla urządzeń I/O. Założono, że będą to wartości z obszaru 32 adresów kart prototypowych, czyli od  $300_{\text{HEX}}$  do  $31F_{\text{HEX}}$  – decymalnie od  $768_{\text{DEC}}$  ( $3 \times 256$ ) do  $799_{\text{DEC}}$  ( $3 \times 256 + 1 \times 16 + 15$ ). Użytkownik ma możliwość wyboru tych wartości przy pomocy trzech zintegrowanych z sobą przełączników S1, S2, S3 umieszczonych na karcie adaptera. Dokładniej biorąc, przełącznikami wybiera się dwie grupy adresów, każda zawiera cztery kolejno następujące po sobie wartości adresów. Pierwsza grupa adresów zaczyna się od wartości MADDR (Main Address) a druga od wartości SADDR (Sub Address).



Przełącznik wyboru adresu interfejsu adaptera PIM.

MADDR = 768, SADDR = 772

Wartości te można wyliczyć z następujących wzorów:

$$\text{MADDR} = 768 + 4 \times S_1 + 8 \times S_2 + 16 \times S_3$$

oraz

$$\text{SADDR} = 768 + 4 \times S_1'' + 8 \times S_2 + 16 \times S_3$$

Każdy z dwustanowych przełączników może być w stanie „ON” lub „OFF”. Wartości  $S_i$  ( $S_1, S_2, S_3$ ) oraz wartość zanegowaną  $S_1''$  wylicza się następująco:

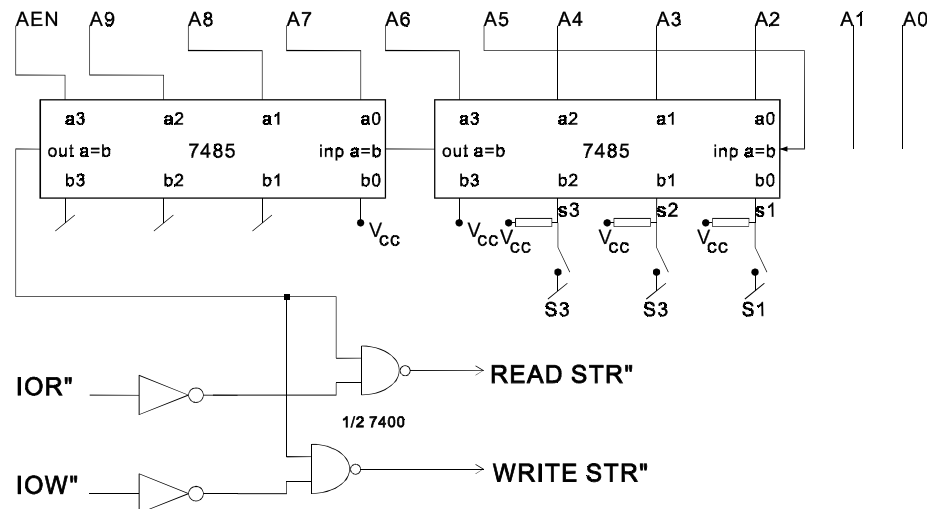
- $S_i = 1,$       jeśli odpowiadający mu przełącznik jest w stanie „ON”.
- $S_i = 0,$       jeśli odpowiadający mu przełącznik jest w stanie „OFF”.
- $S_1'' = 1,$      jeśli przełącznik S1 jest w stanie „OFF”.
- $S_1'' = 0,$      jeśli przełącznik S1 jest w stanie „ON”.

Zatem wartości minimalne i maksymalne wynoszą odpowiednio:

$$\text{MADDR}_{\text{MIN}} = 768 \text{ (} S_1=0, S_2=0, S_3=0 \text{)}, \quad \text{MADDR}_{\text{MAX}} = 796 \text{ (} S_1=1, S_2=1, S_3=1 \text{)}$$

$$SADDR_{MIN} = 768 \text{ (S1=1, S2=0, S3=0)}, \quad SADDR_{MAX} = 796 \text{ (S1=0, S2=1, S3=1)}$$

Rysunek niżej przedstawia przykład schematu dekodera adresowego z trzema przełącznikami, który działa tak samo jak dekodery adaptera PIM. Przełączniki umożliwiają, zgodnie z przytoczonym wyżej wzorem, określenie wartości MADDR - pierwszego adresu z grupy czterech rozpoznawalnych przez dekodery adresów.



Przykład dekodera adresowego działającego analogicznie, jak dekodery w adapterze PIM. 7485 – komparator, 7400 – cztery bramki NAND.

Gdy  $S1=0, S2=0, S3=0$ , to  $MADDR = 300_{HEX} = 768$  ( $SADDR = 772$ ).

Adres HEX	<b>3</b>	<b>0</b>	<b>0</b>							
Linie szyny adresowej:	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
Adres binarnie:	1	1	0	0	0	0	0	0	0	0
Stany linii:	L	L	H	H	H	H	H	H	H	H

Przy takich stanach S1, S2, S3 dekodery rozpoznaje adresy od  $300_{HEX}$  do  $303_{HEX}$ .

Gdy  $S1=1, S2=0, S3=0$ , to  $MADDR = 304_{HEX} = 772$  ( $SADDR = 768$ ).

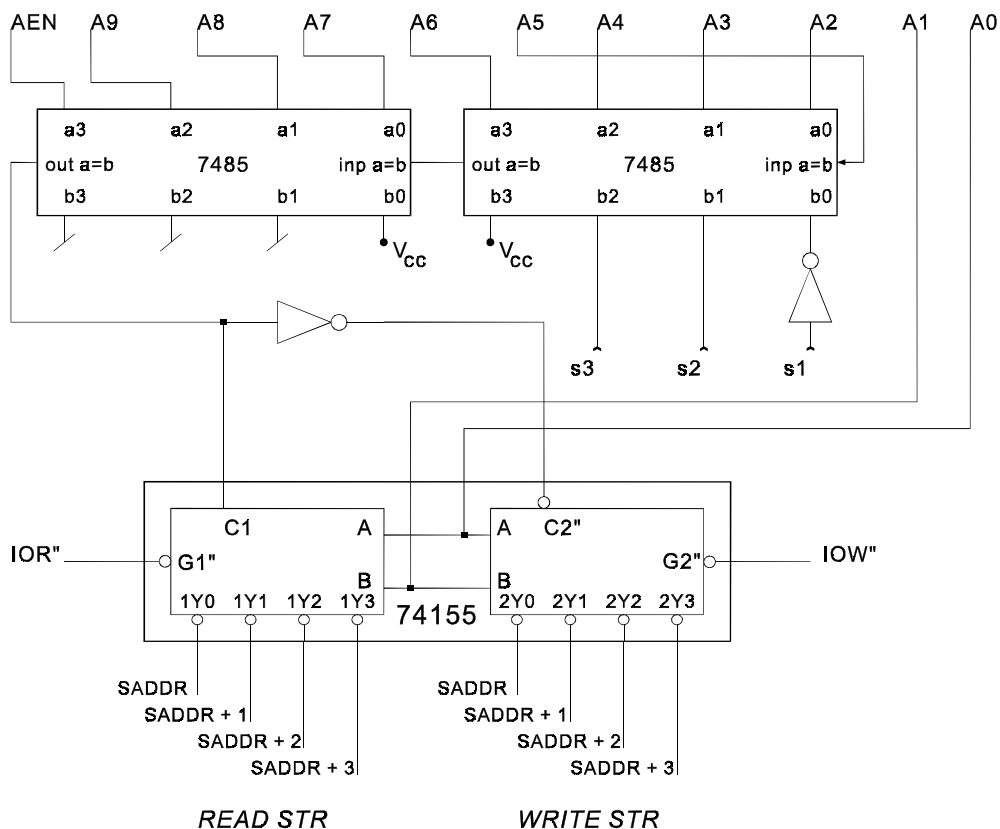
Adres HEX	<b>3</b>	<b>0</b>	<b>4</b>							
Linie szyny adresowej:	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
Adres binarnie:	1	1	0	0	0	0	0	1	0	0
Stany linii:	L	L	H	H	H	H	H	L	H	H

Przy takich stanach S1, S2, S3 dekodery rozpoznaje adresy od  $304_{HEX}$  do  $307_{HEX}$ .

Dekodery ma dwa wyjścia. Jedno jest przeznaczone do generowania sygnału strobujującego READ STR, gdy dekodery adresowy wykryje, że na magistrali komputerowej

przeprowadzana jest operacja odczytu (READ) z urządzenia o adresie z przedziału wartości:  $MADDR \div MADDR+3$ . Drugie wyjście dekodera jest przeznaczone do generowania sygnału strojującego WRITE STR. Jest on generowany gdy na magistrali komputerowej przeprowadzana jest operacja zapisu (WRITE) do urządzenia o adresie z przedziału wartości:  $MADDR \div MADDR+3$ .

Moduł dekodera dla sygnałów z grupy SADDR może mieć postać jak na rysunku poniżej. Wejścia b1, b2 komparatora śledzącego stany linii A3, A4 są podłączone bezpośrednio do przełączników s2, s3, tak jak w module MADDR. Wejście b0, porównujące stan linii A2, jest podłączone do przełącznika s1 poprzez inwerter.



Przykład dekodera adresowego działającego analogicznie, jak dekodery w adapterze PIM.

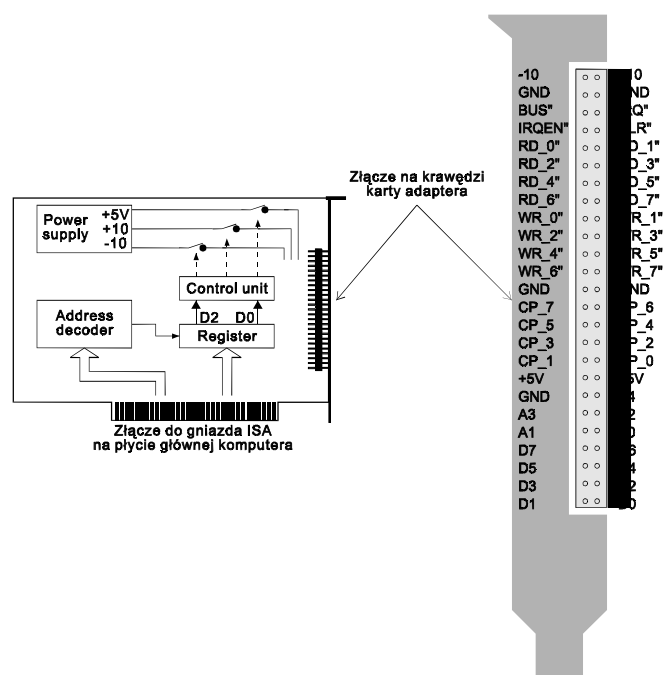
## Zasilacz Napięciowy

Adapter PIM zawiera zasilacz napięciowy sterowany z magistrali komputera. Odpowiedni układ sterowania umożliwia włączanie i wyłączenie zasilacza, nie jest możliwa regulacja napięcia wyjściowego. Zasilacz ma trzy wyjścia +5V, +10V –10V podłączone do styków złącza umieszczonego na krawędzi karty adaptera. Złącze jest dostępne z tyłu obudowy komputera – rysunek poniżej.

Odpowiednie ustawienie wyjść 8-mio bitowego rejestru sterującego wyjściami zasilacza jest możliwe poprzez zapis bajtu do portu o adresie o wartości SADDR + 1. Tabela poniżej ilustruje działanie poszczególnych wyjść (bitów) rejestru.

Bit	Wartość	Opis działania
D0	1	Włączone zasilanie +5V.
	0	Wyłączone zasilanie +5V.
D1	1	Włączone zasilanie ±10V.
	0	Wyłączone zasilanie ±10V.
D2	1	Rezystory „pull up” wejść DATA_BUS podłączone do +5V.
	0	Rezystory „pull up” wejść DATA_BUS podłączone do masy (GND).

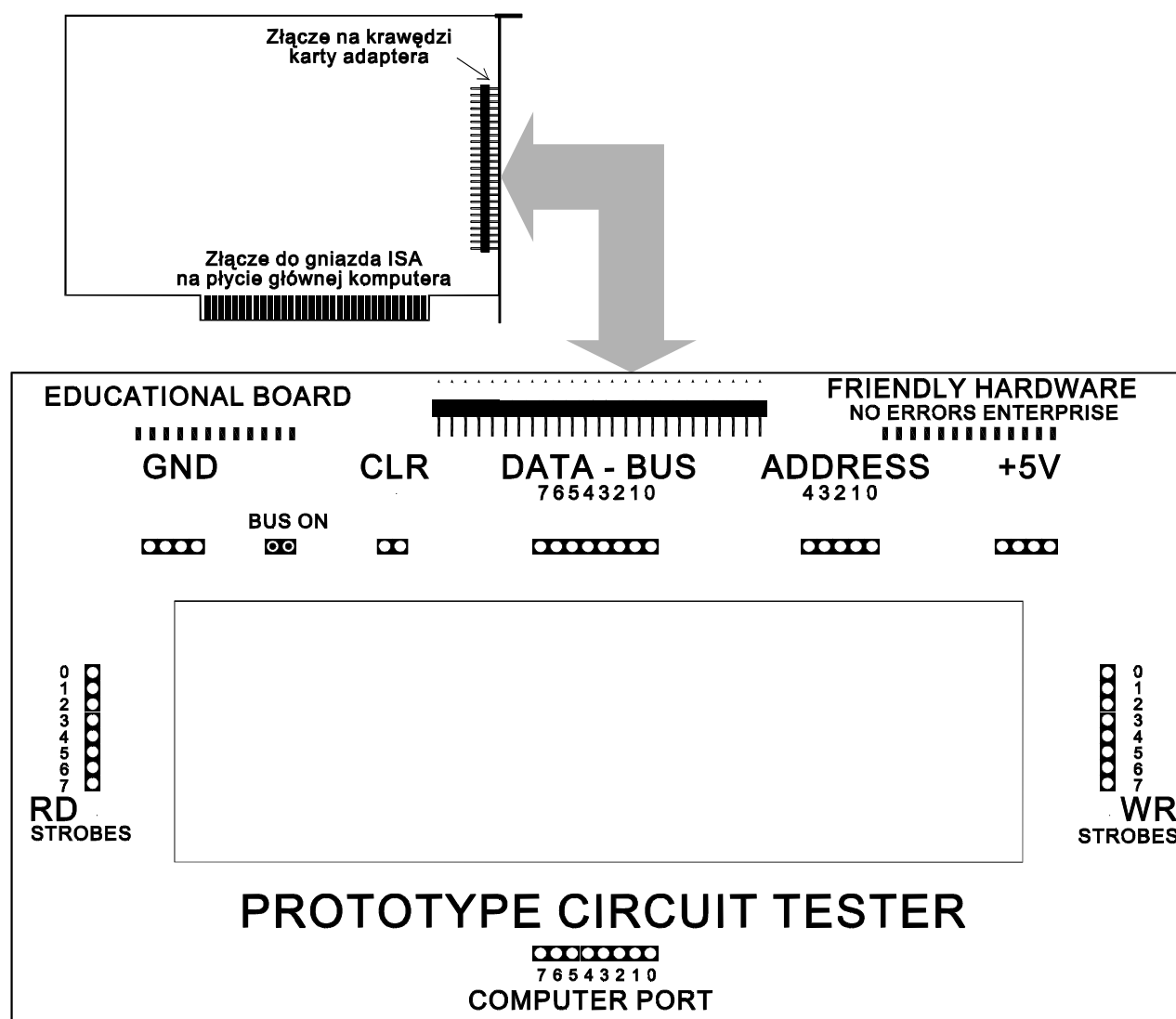
Celem włączenia najczęściej wykorzystywanego zasilania +5V i jednocześnie podwieszenia wejść DATA\_BUS do +5V (patrz dalej) należy zapisać do rejestru sterującego wartość 5 (D0=1, D2=1). Zapis do rejestru bajtu o wartości 0 powoduje wyłączenie zasilacza.



Schemat logiczny układu zasilacza na karcie adaptera PIM. Opis styków złącza adaptera.

## PŁYTKA EDUKACYJNA (EDUCATIONAL BOARD)

W celu ułatwienia sprzęgania układów elektronicznych z komputerem poprzez karty adapter PIM, zestaw laboratoryjny zawiera również płytkę z odpowiednim obwodem drukowanym, który łączy się szerokim wielożyłowym przewodem ze złączem umieszczonym na krawędzi karty adaptera dostępnym z tyłu obudowy komputera. Płytkę nosi nazwę EDUCATIONAL BOARD. Na płytce są stosownie opisane złącza połączone z odpowiadającymi im stykami złącza adaptera.

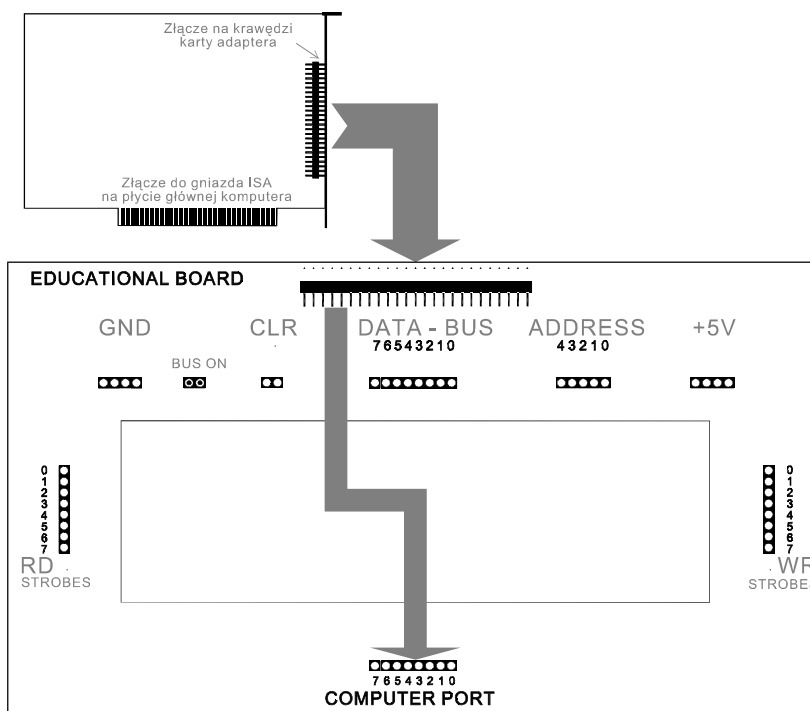


Karta adaptera połączona z płytką EDUCATIONAL BOARD.

Przykładowo, w celu zasilenia obwodów elektronicznych peryferii sprzęganych z komputerem można skorzystać z wyprowadzeń +5V i GND (ground – masa). Są to dwa bieguny opisanego powyżej zasilacza napięciowego karty adaptera.

## COMPUTER PORT

Na karcie adaptera znajduje się 8-mio bitowy rejestr, którego wyjścia są wyprowadzone na płytkę EDUCATIONAL BOARD. Rejestrowi temu nadano nazwę Computer\_Port. Stan ośmiu wyjść CP\_7 ... CP\_0 określa wartości odpowiadających im bitów w bajcie zapisywanym do rejestru. Rejestr Computer\_Port ma adres równy wartości SADDR.



Computer\_Port.

Przykładowo operacja zapisu do portu I/O o adresie SADDR wartości  $W=127$  spowoduje następujące ustawienie wyjść rejestru Computer\_Port wyprowadzonych na płytkę EDUCATIONAL BOARD.

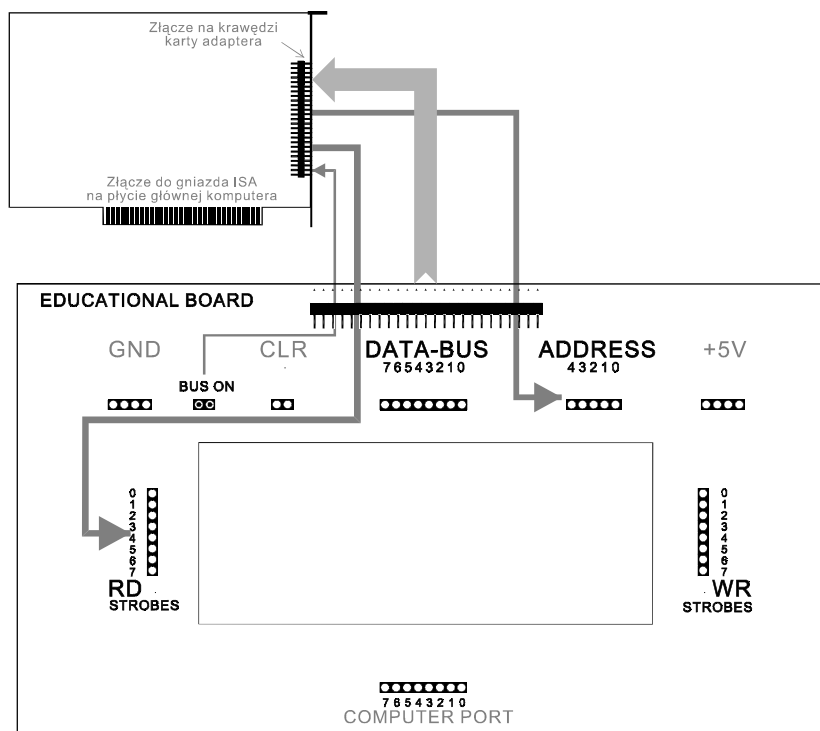
Wyjście Computer Port - styk:	CP_7	CP_6	CP_5	CP_4	CP_3	CP_2	CP_1	CP_0
Waga bitu:	128	64	32	16	8	4	2	1
Wartości bitów zapisanego bajtu	1	0	0	0	0	0	0	1
Stany napięciowe wyjść rejestru	H	L	L	L	L	L	L	H

Rezultat zapisu do rejestru COMPUTER\_PORT bajtu o wartości 127. H (HIGH) = ~5V, L (LOW) = 0V.



## Data Bus

Na karcie adaptera znajdują się układy buforujące szynę danych magistrali komputera. Na płycie EDUCATIONAL BOARD jest osiem styków oznaczonych jako DATA\_BUS. Są to wejścia/wyjścia układów buforujących. Na płycie znajduje się również dwustykowe złącze BUS\_ON. Przy rozwartych stykach złącza BUS\_ON układ buforowania szyny danych działa jako bufor jednokierunkowy, możliwy jest wtedy jedynie odczyt danych z wyjść urządzeń peryferyjnych przyłączonych do styków DATA\_BUS.



Odczyt stanów styków DATA-BUS.

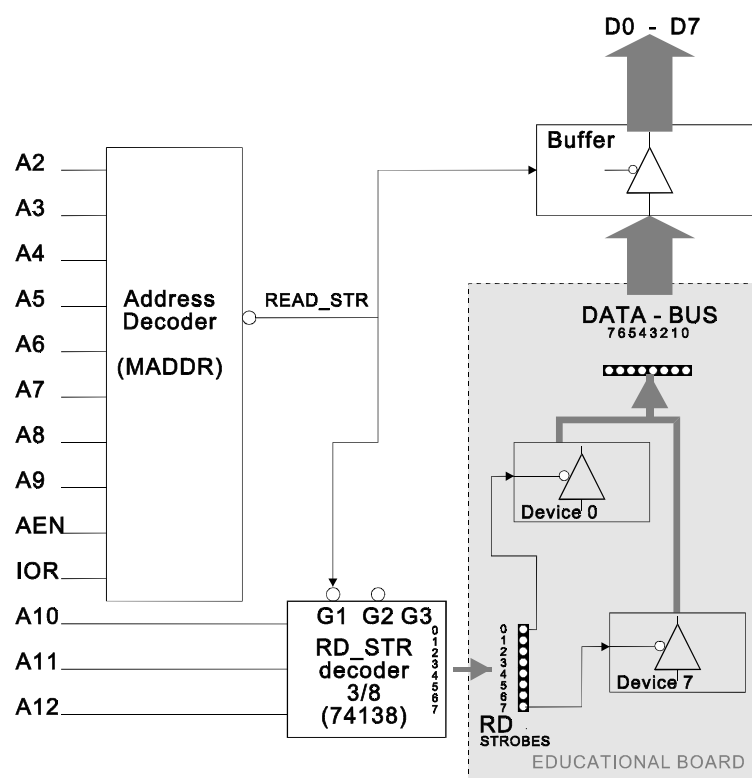
Odczyt stanu wejść DATA\_BUS jest możliwy podczas operacji odczytu z portu I/O o adresie:

$$(i \times 1024) + MADDR + k$$

gdzie można podstawić:  $i = 0, 1, \dots, 7$  oraz  $k = 0, 1, 2, 3$ .

Każda z tych operacji odczytu powoduje uaktywnienie na karcie adaptera bufora szyny danych i transmisję stanów logicznych styków DATA\_BUS na magistralę komputera. Każdej takiej operacji towarzyszy pojawienie się odpowiedniego sygnału strobujuącego RD<sub>i</sub> ( $i = 0, 1, \dots, 7$ ). Generowanie sygnałów strobujujących RD<sub>i</sub> jest przewidziane dla konfiguracji, w której do styków DATA\_BUS jest podłączonych wiele wyjść różnych układów peryferyjnych, z których mają być odczytywane dane. Wybór urządzenia Device<sub>i</sub>

(otwarcie buforów wyjściowych  $i$ -tego urządzenia) dokonywany jest przyporządkowanym mu  $i$ -tym sygnałem strobującym spośród dostępnych sygnałów: RD\_0 ... RD\_7. Na rysunku poniżej przedstawiono schematycznie układ sterujący odczytem danych z periferii sprzęgniętych z magistralą komputerową za pomocą omawianego adaptera. Gdy na magistrali komputera podczas operacji odczytu z urządzenia I/O na liniach adresowych A0...A9 pojawi się wartość z przedziału MADDR – MADDR+3, to zostaje uaktywniony dekodery RD\_STR i w zależności od stanu jego trzybitowego wejścia, zostaje wyróżnione jedno z jego ośmiu wyjść. Trzybitowe wejście dekodera RD\_STR jest połączone z liniami A10, A11, A12 szyny adresowej magistrali komputerowej. Trzy bity pozwalają zapisać osiem różnych wartości  $i = 0, 1, \dots, 7$ .



Układ sterujący odczytem stanów styków DATA-BUS.

Zatem, gdy na magistrali komputera podczas operacji odczytu z urządzenia I/O pojawi się na liniach adresowych A0...A9 wartość z zakresu MADDR – MADDR+3, to w adapterze sygnałem READ\_STR otwierany jest w kierunku magistrali komputera bufor szyny danych. Jednocześnie, w zależności od trzybitowej wartości na liniach A10, A11, A12 określonej składową adresu portu ( $i \times 1024$ ), zostaje wygenerowany przez dekodery RD\_STR adaptera  $i$ -ty sygnał strobujący RD\_ $i$  ( $i = 0, 1, \dots, 7$ ).

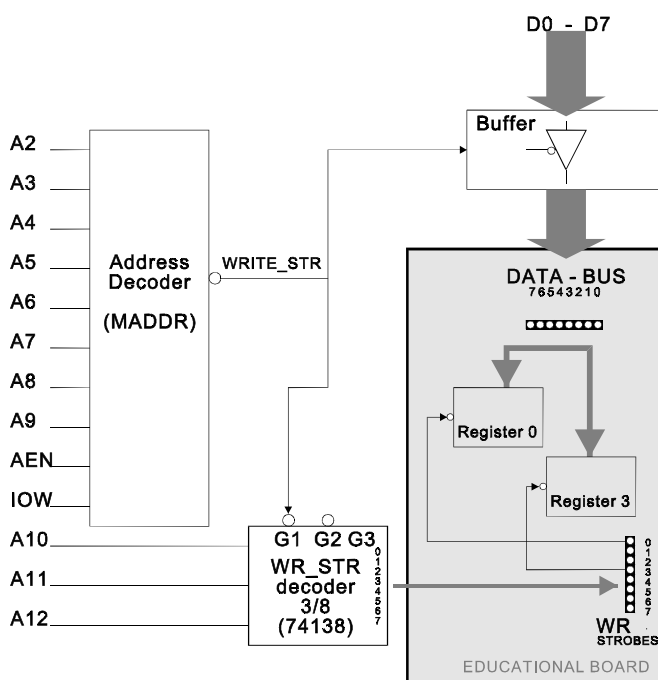
Znajdujący się na karcie adaptera układ buforujący szynę danych magistrali komputera jest dwukierunkowy. Oznacza to, że możliwe jest także przekazywanie stanów logicznych z linii danych magistrali komputera do styków DATA\_BUS. Innymi słowy jest możliwe z pomocą adaptera zapisywanie danych z magistrali komputerowej do urządzeń peryferyjnych. Aby uaktywnić ten kierunek transferu danych należy połączyć zworą styki złącza BUS\_ON. Po połączeniu tych styków bufor szyny danych adaptera jest otwierany w jednym z dwu możliwych kierunków, zależnie od rodzaju operacji dokonywanej na magistrali komputera.

Transfer danych z magistrali komputerowej do styków DATA\_BUS jest możliwy podczas operacji zapisu do portu I/O o adresie:

$$(i \times 1024) + MADDR + k$$

gdzie można podstawić:  $i = 0, 1, \dots, 7$  oraz  $k = 0, 1, 2, 3$ .

Każda z tych operacji zapisu powoduje uaktywnienie na karcie adaptera bufora szyny danych i transmisję stanów logicznych linii danych magistrali komputera do styków DATA\_BUS. Każdej takiej operacji towarzyszy pojawienie się odpowiedniego sygnału strobowego  $WR_i$  ( $i = 0, 1, \dots, 7$ ). Sygnały strobowe  $WR\_STR$  są przydatne w konfiguracji, w której do styków DATA\_BUS są podłączone rejestry zatraskowe, do których mają być zapisywane dane z magistrali komputerowej.

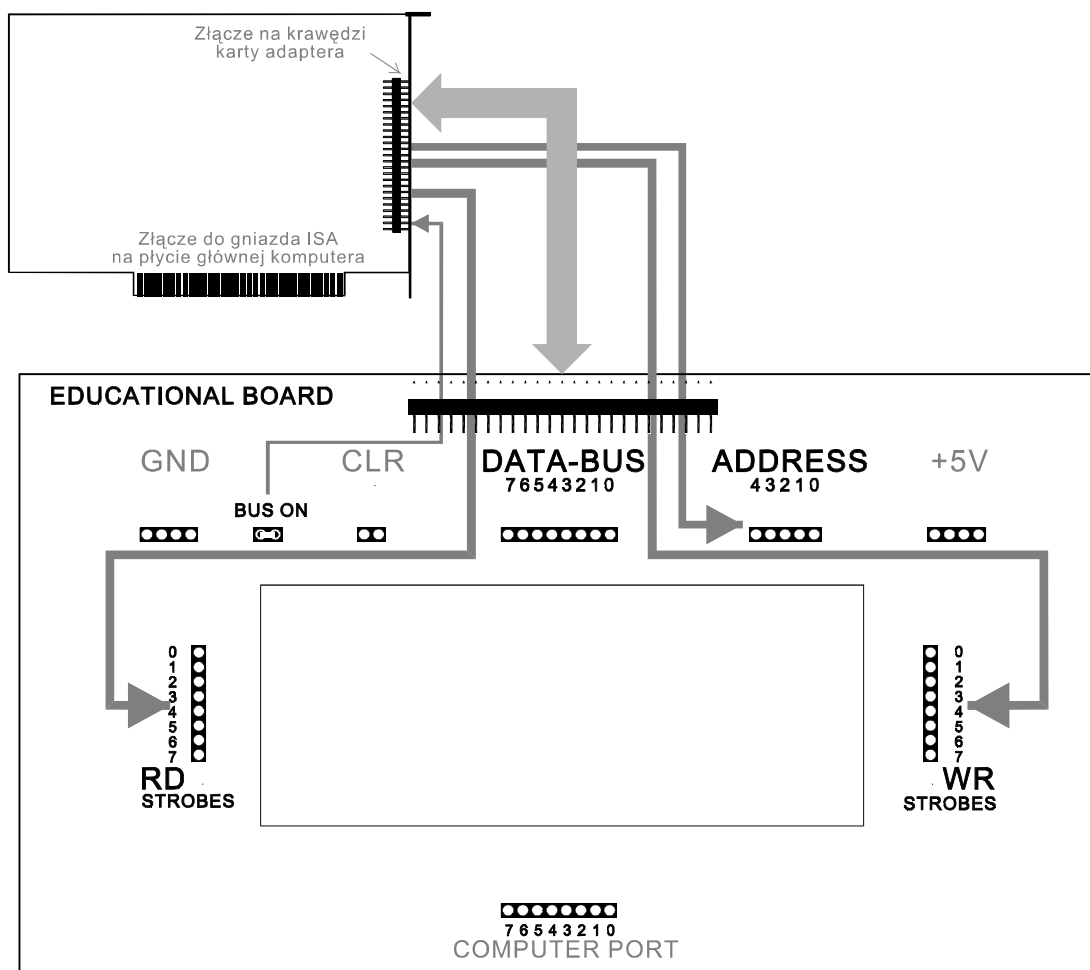


Układ sterujący zapisem danych z magistrali komputera do rejestrów przyłączonych do styków DATA-BUS.

Dane transmitowane przez bufor adaptera z magistrali komputera są zatrzymywane w rejestrach odpowiednimi sygnałami strobuującymi WR\_STR. Na rysunku powyżej przedstawiono schematycznie układ sterujący zapisem danych do peryferii komputerowych sprzężonych z magistralą komputera za pomocą omawianego adaptera. Układ jest niemal identyczny z układem sterującym odczytem danych, zasadnicza różnica polega na otwieraniu bufora szyny danych w kierunku styków DATA\_BUS.

## ADDRESS

Urządzenia peryferyjne sprzężane z komputerem za pomocą omawianego adaptera mogą zawierać wiele rejestrów lub innych urządzeń wybieranych odpowiednimi wejściami adresującymi. Omawiany adapter posiada odpowiedni układ buforujący, poprzez który na pulpicie EDUCATIONAL BOARD w złączu ADDRESS są dostępne końcówki pięciu linii szyny adresowej.



Transfer danych poprzez styki DATA-BUS.

Styki złącza ADDRESS są oznaczone następująco: A0, A1, A2, A3, A4. Oznaczenia te nie odpowiadają wprost oznaczeniom linii szyny adresowej komputera. Tabela poniżej ilustruje przyporządkowanie styków złącza ADDRESS liniom szyny magistrali.

Styk ADDRESS	Linia szyny adresowej magistrali komputera	Waga bitu słowa adresowego na szynie magistrali komputera
A0	A0 <sub>mk</sub>	1
A1	A1 <sub>mk</sub>	2
A2	A13 <sub>mk</sub>	8 192
A3	A14 <sub>mk</sub>	16 384
A4	A15 <sub>mk</sub>	32 768

Przyporządkowanie styków złącza ADDRESS liniom magistrali komputerowej.

Reasumując, jeśli chcemy przeprowadzić na magistrali komputerowej operację I/O, która spowoduje w omawianym adapterze wygenerowanie i-tego strobu oraz pojawienie się podczas tej operacji na stykach złącza ADDRESS określonych wartości logicznych A0, A1, A2, A3, A4, to należy dla takiej operacji użyć następującego adresu portu:

$$RD_i = (i \times 1024) + MADDR + A0 \times 1 + A1 \times 2 + A2 \times 8192 + A3 \times 16384 + A4 \times 32768$$

operacja odczytu danych na magistralę komputera

$$WR_i = (i \times 1024) + MADDR + A0 \times 1 + A1 \times 2 + A2 \times 8192 + A3 \times 16384 + A4 \times 32768$$

operacja zapisu danych z magistrali komputera

## CLR

Zdarza się, że zachodzi potrzeba „wyzerowania” urządzeń peryferyjnych sprzęgniętych z komputerem i często urządzenia peryferyjne mają odpowiednie wejście dla ich zerowania.

W omawianym adapterze PIM jest odpowiedni układ do generowania krótkiego impulsu na rozkaz zapisu do portu o adresie SADDR + 2. Wyjście tego układu jest połączone ze stykiem CLR na płycie EDUCATIONAL BOARD. Normalnie wyjście to jest w stanie HIGH. Rozkaz zapisu do portu SADDR + 2 powoduje chwilowe przejście w stan LOW. Sygnał ten może być wykorzystywany do zerowania urządzeń peryferyjnych lub do innego dowolnego celu.