

Standard IEEE 1284

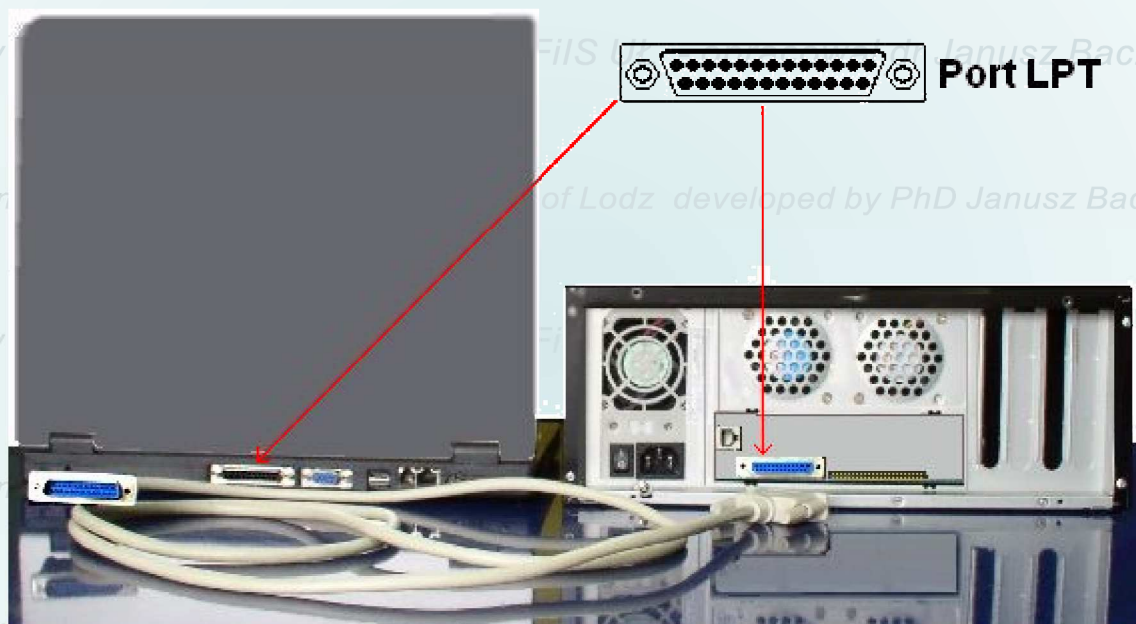
Opracowany w 1994 roku przez Network Printing Alliance w celu stosowania go jako interfejsu komputerowego do podłączania urządzeń peryferyjnych.

Teaching materials for students of University of Lodz developed by PhD Janusz Baczyński

Standard IEEE 1284 jest kompatybilny z wcześniejszym standardem (CENTRONICS), który był powszechnie używany do podłączania drukarek do komputerów klasy PC.

Interfejs komputerowy oparty na standardzie IEEE 1284 często nazywany jest też:

- portem LPT (Line Print Terminal lub Local Print Terminal)
- portem równoległym (Parallel port).



Standard IEEE 1284 definiuje pięć protokołów transmisji danych:

1. SPP (Standard Parallel Port) zapewnia kompatybilność z urządzeniami przystosowanymi do pracy w standardzie CENTRONICS. Stąd druga nazwa dla tego protokołu Compatibility Mode.
2. Nibble Mode – transmisja zakłada transfer danych słowami czterobitowymi (nibble połówka bajtu). Protokół zapewnia kompatybilność ze standardem Bi-tronics firmy Hewlett Packard.
3. Byte Mode – transmisja odbywa się bajtami.
4. EPP (Enhanced Parallel Port). Tryb powszechnie stosowany. Komunikacja z urządzeniem zewnętrznym z zastosowaniem procedury Handshake realizowanej sprzętowo.
5. ECP (Extended Capability Port) – Protokół zapewniający najwyższą prędkość transmisji danych, to jest do 2Mb/s.

Gniazdo portu LPT (Dsub-25 najczęściej stosowane)

Materiały dydaktyczne dla studentów WFiIS UŁ - opracował dr Janusz Baczyński

SPP Signals

SPP - Standard Parallel Port

Materiały dydaktyczne dla studentów WFiIS UŁ - opracował dr Janusz Baczyński

Teaching materials for students of University of Lodz developed by PhD Janusz Baczyński

Ma dr Janusz Baczyński

Teaching materials for students of University of Lodz developed by PhD Janusz Baczyński

Materiały dydaktyczne dla studentów WFiIS UŁ - opracował dr Janusz Baczyński

Teaching materials for students of University of Lodz developed by PhD Janusz Baczyński

gniazdo „żeńskie” z tyłu obudowy komputera

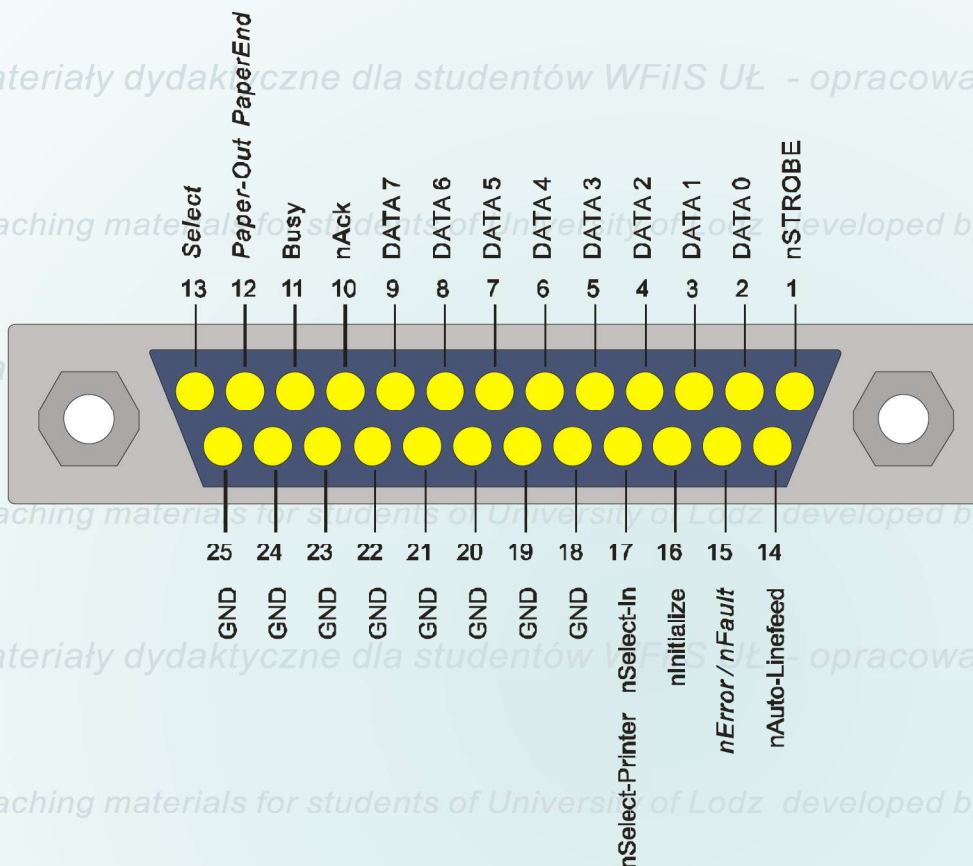
Materiały dydaktyczne dla studentów WFiIS UŁ - opracował dr Janusz Baczyński

Teaching materials for students of University of Lodz developed by PhD Janusz Baczyński

Materiały dydaktyczne dla studentów WFiIS UŁ - opracował dr Janusz Baczyński

Teaching materials for students of University of Lodz developed by PhD Janusz Baczyński

Materiały dydaktyczne dla studentów WFiIS UŁ - opracował dr Janusz Baczyński



Gniazdo portu LPT (Dsub-25 najczęściej stosowane)

Materiały dydaktyczne dla studentów WFiIS UŁ - opracował dr Janusz Baczyński

EPP Signals

EPP - Enhanced Parallel Port

Teaching materials for students of University of Lodz developed by PhD Janusz Baczyński

Materiały dydaktyczne dla studentów WFiIS UŁ - opracował dr Janusz Baczyński

Teaching materials for students of University of Lodz developed by PhD Janusz Baczyński

Materiały dydaktyczne dla studentów WFiIS UŁ - opracował dr Janusz Baczyński

Teaching materials for students of University of Lodz developed by PhD Janusz Baczyński

Materiały dydaktyczne dla studentów WFiIS UŁ - opracował dr Janusz Baczyński

Teaching materials for students of University of Lodz developed by PhD Janusz Baczyński

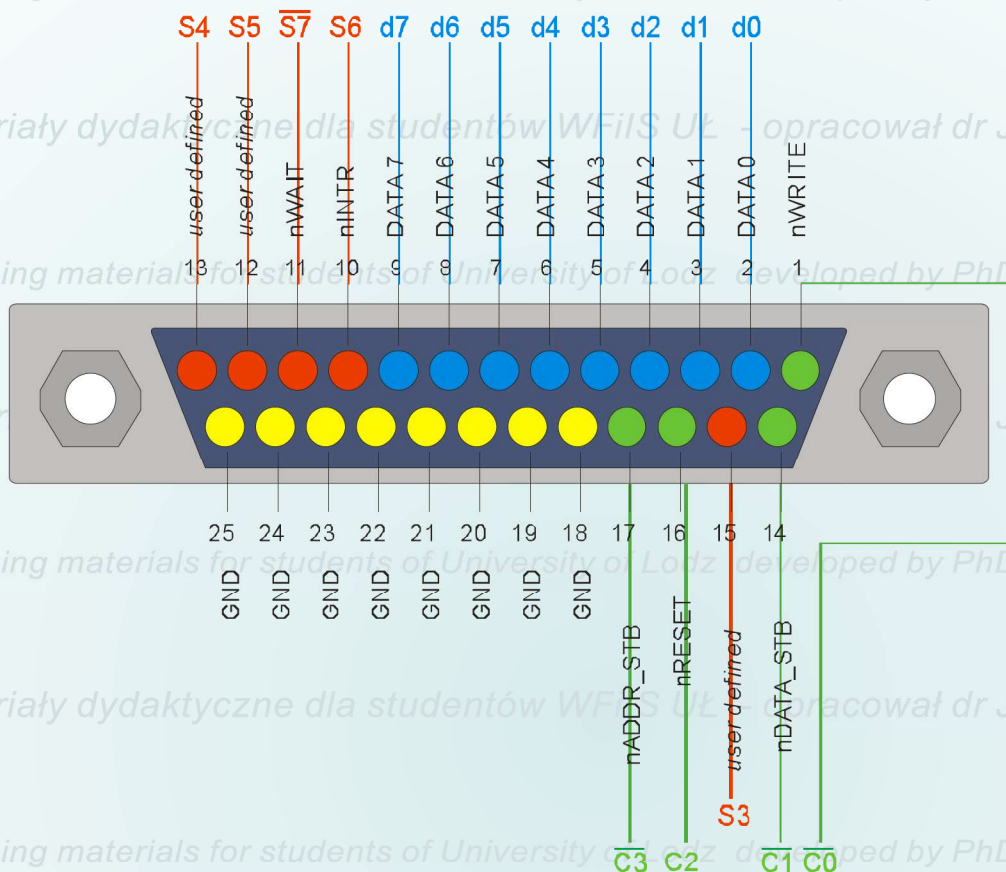
gniazdo „żeńskie” z tyłu obudowy komputera

Teaching materials for students of University of Lodz developed by PhD Janusz Baczyński

Materiały dydaktyczne dla studentów WFiIS UŁ - opracował dr Janusz Baczyński

Teaching materials for students of University of Lodz developed by PhD Janusz Baczyński

Materiały dydaktyczne dla studentów WFiIS UŁ - opracował dr Janusz Baczyński



Pin No	SPP Signal	Direction In/out	EPP Signal	Direction In/out	Register	Hardware Inversion	Function (EPP)
1	nStrobe	In/Out	Write	Out	Control	Yes	A low on this line indicates a Write, High indicates a Read
2	Data 0	Out	Data 0	In/Out	Data		Data Bus. Bi-directional
3	Data 1	Out	Data 1	In/Out	Data		Data Bus. Bi-directional
4	Data 2	Out	Data 2	In/Out	Data		Data Bus. Bi-directional
5	Data 3	Out	Data 3	In/Out	Data		Data Bus. Bi-directional
6	Data 4	Out	Data 4	In/Out	Data		Data Bus. Bi-directional
7	Data 5	Out	Data 5	In/Out	Data		Data Bus. Bi-directional
8	Data 6	Out	Data 6	In/Out	Data		Data Bus. Bi-directional
9	Data 7	Out	Data 7	In/Out	Data		Data Bus. Bi-directional
10	nAck	In	Interrupt	In	Status		Interrupt Line. Interrupt occurs on Positive (Rising) Edge.
11	Busy	In	Wait	In	Status	Yes	Used for handshaking. A EPP cycle can be started when low, and finished when high.
12	Paper-Out PaperEnd	In	Spare	In	Status		Spare - Not Used in EPP Handshake
13	Select	In	Spare	In	Status		Spare - Not Used in EPP Handshake
14	nAuto-Linefeed	In/Out	Data Strobe	Out	Control	Yes	When Low, indicates Data transfer
15	nError / nFault	In	Spare	In	Status		Spare - Not used in EPP Handshake
16	nInitialize	In/Out	Reset	Out	Control		Reset - Active Low
17	nSelect-Printer nSelect-In	In/Out	Address Strobe	Out	Control	Yes	When low, indicates Address transfer
18	Ground						Ground
19	Ground						Ground
20	Ground						Ground
21	Ground						Ground
22	Ground						Ground
23	Ground						Ground
24	Ground						Ground
25	Ground						Ground

Sterowanie portem LPT to programowa obsługa trzech rejestrów

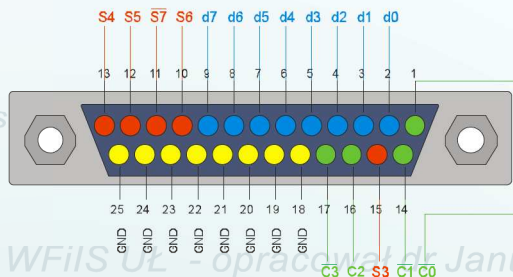
- DATA PORT
- STATUS PORT
- CONTROL PORT

Base address	Notes
0x3BC - 0x3BF	Address used for Parallel Ports which were incorporated into Video Cards and now, commonly an option for Ports controlled by BIOS. Doesn't support ECP addresses.
0x378 - 0x37F	Address usually used for LPT1
0x278 - 0x27F	Address usually used for LPT1

Sterowanie portem LPT

Materiały dydaktyczne dla studentów WFiS UŁ - opracował dr Janusz Baczyński

Register name	Address
Data Port	Base address + 0
Status Port	Base address + 1
Control Port	Base address + 2



Usually Data Port address = 0x378 or 0x278

Data PORT	DSub25 pins	Function
d0	2	8 outputs/inputs If the Port is bi-directional then Read and Write operations are performed on the DataRegister,
d1	3	
d2	4	
d3	5	
d4	6	
d5	7	
d6	8	
d7	9	

STATUS PORT	DSub25 pins	Function
S3	15	5 inputs The Status port is a read only register.
S4	13	
S5	12	
S6	10	
S7	11	

CONTROL PORT	DSub25 pins	Function
-C0	1	4 outputs Bits 4 and 5 are used for internal controls. Bits 6 and 7 are reserved and any writes to these bits are ignored.
-C1	14	
C2	16	
-C3	17	

Reasumując: dydaktyczne dla studentów WFiS UŁ - opracował dr Janusz Baczyński

Max 12 sygnałów wyjściowych (8 + 4), 4 wejścia (w trybie Bi-directional 12 wejść).

Materiały dydaktyczne dla studentów WFiIS UŁ - opracował dr Janusz Baczyński

Wyjścia/Wejścia rejestrów LPT na gniazdo

Teaching materials for students of University of Lodz developed by PhD Janusz Baczyński

Materiały dydaktyczne dla studentów WFiIS UŁ - opracował dr Janusz Baczyński

Teaching materials for students of University of Lodz developed by PhD Janusz Baczyński

Materiały dydaktyczne dla studentów WFiIS UŁ - opracował dr Janusz Baczyński

Teaching materials for students of University of Lodz developed by PhD Janusz Baczyński

Materiały dydaktyczne dla studentów WFiIS UŁ - opracował dr Janusz Baczyński

gniazdo „żeńskie” z tyłu obudowy komputera

Teaching materials for students of University of Lodz developed by PhD Janusz Baczyński

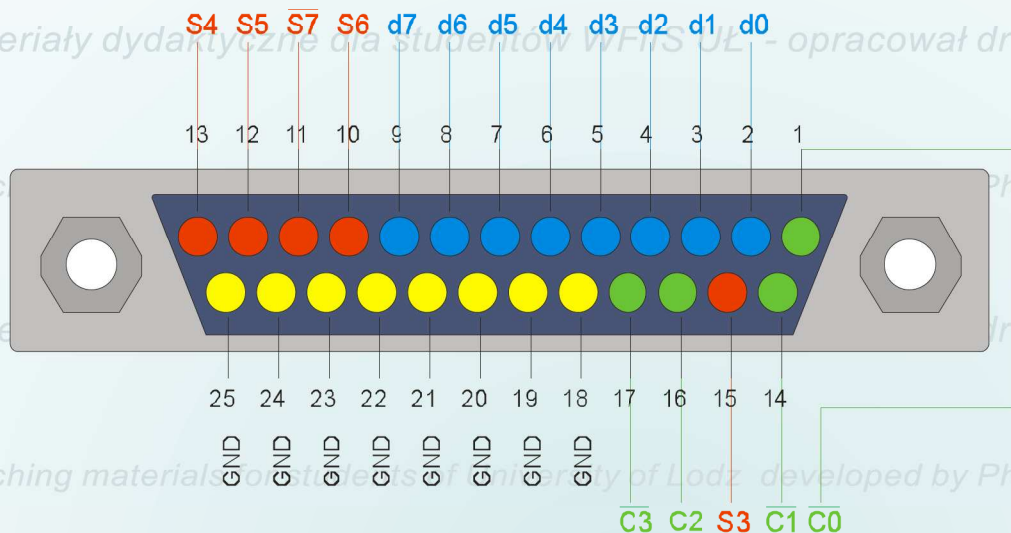
Materiały dydaktyczne dla studentów WFiIS UŁ - opracował dr Janusz Baczyński

Teaching materials for students of University of Lodz developed by PhD Janusz Baczyński

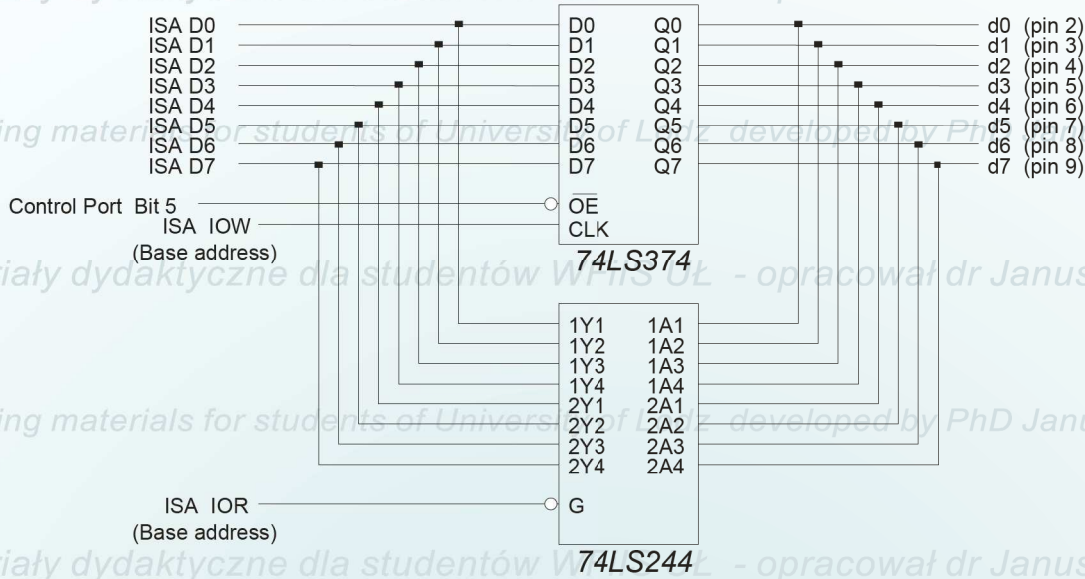
Materiały dydaktyczne dla studentów WFiIS UŁ - opracował dr Janusz Baczyński

Teaching materials for students of University of Lodz developed by PhD Janusz Baczyński

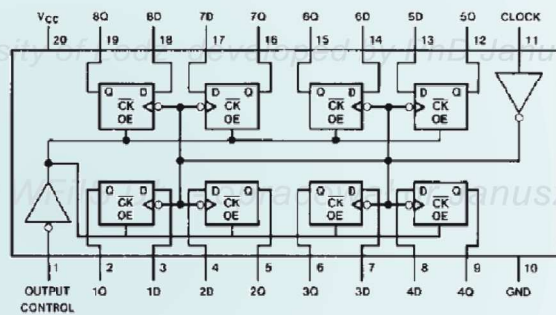
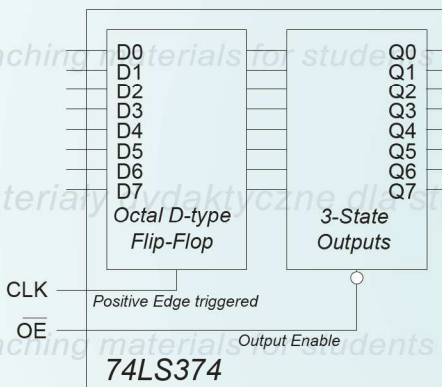
Materiały dydaktyczne dla studentów WFiIS UŁ - opracował dr Janusz Baczyński



Architecture of SPP Data Port for Bi-Directional SPP - Standard Parallel Port

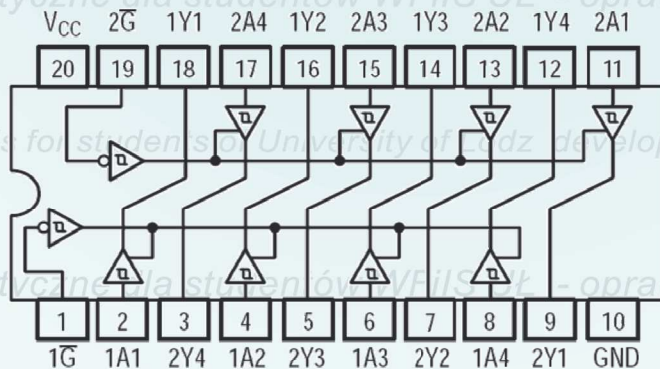


74LS374 3-State octal D-type Flip-Flop



74LS374

74LS244 Octal buffer with 3-State outputs



The diagram displays a simplified schematic of the original version of Data Port circuit.

Today, all the elements are incorporated in ASIC.

ASIC - Application Specific Integrated Circuit (a special purpose logic chip)

The electronic circuit is different but the idea is still exactly the same.

Uwaga

CONTROL PORT	DSub25 pins	Function
-C0	1	4 outputs
-C1	14	Bits 4 and 5 are used for internal controls. Bits 6 and 7 are reserved and any writes to these bits are ignored.
C2	16	
-C3	17	

Przy zapisie do rejestru CONTROL PORT należy nadać wartość '0' bitom 4 –7.

Bit 5 rejestru CONTROL PORT jest używany do uaktywniania trójstanowych wyjść rejestru wyjściowego DATA PORT.

References:

1. Interfacing the Standard Parallel Port, Craig Peacock,
2. Interfacing the Enhanced Parallel Port, Craig Peacock,
3. Interfacing the Extended Capabilities Port, Craig Peacock.
4. Interfacing the Standard Parallel Port - <http://retired.beyondlogic.org/spp/parallel.htm>,
5. Parallel port , Wikipedia (http://en.wikipedia.org/wiki/Parallel_port).

Teaching materials for students of University of Lodz developed by PhD Janusz Baczyński

Materiały dydaktyczne dla studentów WFiIS UŁ - opracował dr Janusz Baczyński

Teaching materials for students of University of Lodz developed by PhD Janusz Baczyński

Materiały dydaktyczne dla studentów WFiIS UŁ - opracował dr Janusz Baczyński

Teaching materials for students of University of Lodz developed by PhD Janusz Baczyński

Materiały dydaktyczne dla studentów WFiIS UŁ - opracował dr Janusz Baczyński

Teaching materials for students of University of Lodz developed by PhD Janusz Baczyński

Materiały dydaktyczne dla studentów WFiIS UŁ - opracował dr Janusz Baczyński

Teaching materials for students of University of Lodz developed by PhD Janusz Baczyński

Materiały dydaktyczne dla studentów WFiIS UŁ - opracował dr Janusz Baczyński